

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-252467

⑤ Int. Cl.⁴H 01 L 27/10
21/76
27/10

識別記号

3 2 5

3 2 5

庁内整理番号

U-8624-5F

L-7131-5F

R-8624-5F

⑬ 公開 昭和63年(1988)10月19日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 半導体メモリ装置

⑰ 特 願 昭62-88268

⑱ 出 願 昭62(1987)4月9日

⑲ 発 明 者 清 水 俊 行 東京都港区芝5丁目33番1号 日本電気株式会社内

⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

㉑ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体メモリ装置

特許請求の範囲

第1導電性の不純物層の上に、この第1導電性不純物層よりも低い濃度の第1導電性不純物エピタキシャル層を有する半導体基板を用いて形成されるダイナミック型MOSの半導体メモリ装置に於て、少なくとも高い濃度の前記不純物層に達する程度に深く掘られた分離溝が、メモリセルアレイ部領域と周辺回路部領域との間でこのメモリセルアレイ部領域を囲むように配置され、この分離溝は前記半導体基板から電気的に絶縁され、かつその分離溝内に絶縁物または導電性物質が充填されて形成されていることを特徴とする半導体メモリ装置。

発明の詳細な説明

(産業上の利用分野)

本発明は半導体メモリ装置に関し、特にダイナミックRAMのノイズ耐性を向上させる構造に関する。

(従来の技術)

半導体基板、特にシリコン半導体基板上に形成される集積回路は、高密度、大容量化の一途を辿り、特に半導体記憶装置の様な集積回路では、1Mビット又はそれ以上へと集積度が増大してきている。

現在、ダイナミックRAM(DRAM)の様な半導体記憶装置においては、メモリセルが1個のMOSトランジスタと1個のコンデンサから構成される方式が大容量化に適しており、主流になっており、その情報の蓄積方式としては、情報である電荷を基板側の反転層に蓄積する方式が主流である。

チップ当たり1メガビット以上の記憶容量を持つDRAMを実現するためには、1素子当りの面積を小さくすることが必須となる。特に、素子面積

の大部分を占めるコンデンサの面積を減少させる手段として、シリコン基板に溝を掘り、この溝の内壁および底面を利用してコンデンサを形成する方法が提案されてきた。例えば、「1982 インターナショナル エレクトロン デバイス ミーティング テクニカル ダイジェスト (INTERNATIONAL ELECTRON DEVICE MEETING TECHNICAL DIGEST)」 pp. 806-808 参照。

しかし、基板側に情報電荷を蓄積し、かつ溝を用いる方式のメモリセルでは、メモリセルの縮小に伴い容量溝の間隔も小さくなるため、半導体基板表面の n^+ 拡散領域に蓄えられた電荷がパンチスルーのため隣りのセルにリークし、隣接溝間の電氣的干渉が起きてしまう欠点がある。また、深い溝が形成されることから α 線などの電離放射線が半導体基板に照射された場合、発生するキャリアがセルに集まり易いため記憶された情報の担い手である電荷が消失し易いという、いわゆるソフトエラー率が高いという欠点があった。

この問題を解決する手段として、特開昭60-

190704 は、溝内の電極に電荷を蓄積する方式が提案されている。この方式では、第4図(b)に示す様に、ボロン濃度が高い領域2の上にボロン濃度の低い層3を薄く成長したシリコン基板1(以下PONP+エビ基板と略す)を用い、この基板の表面にボロン濃度が高い領域2の深く迄達する容量溝6を形成し、この溝内に容量絶縁膜7を形成し、溝内に埋め込まれた電極とでメモリセル用の溝容量9を形成するものである。この溝内に埋め込まれた電極は、 n チャネルMOSトランジスタのソースまたはドレインとなる n^+ 拡散層に接続される。このタイプのセルを用いれば、セル間隔を接近させても相互の干渉が起らず、また、 α 線などの電離放射線が基板に照射され、基板内部に電荷が発生してもこの電荷は当該構造のセルには入りにくいいため、 α 線による誤動作も防ぐことが出来、高密度、高集積DRAMのセル構造として極めて有望であると考えられる。

一方、特開昭60-069511に提案されているように、溝の側壁をボロン拡散により濃度を

高くし、かつPONP+エビ基板(1)を用いた、溝容量をコンデンサとして用いるDRAMセルも、DRAMセルと同様に高密度、高集積DRAMのセルとして極めて有望であると考えられる。

(発明が解決しようとする問題点)

ところで、その方式ではPONP+エビ基板を用いるのが特徴であるが、DRAMとして周辺回路とメモリセルアレイ部を同一チップ上に形成した場合、メモリセルがノイズの影響を受け易いと言う欠点がある。即ち、DRAMは主にメモリセルアレイ部と周辺回路部に分けられるが、周辺回路部ではMOSFETが常にON、OFFを繰り返しているため、大量の基板電流が発生する。この基板電流がメモリセル部に達するとトランスファゲートMOSFETの閾値電圧を変動させ、容量部に蓄積された電荷が流失してしまうなどの、誤動作の原因となるため、周辺回路部で発生した基板電流は極力少なくするか、もしくは発生した基板電流はメモリセル部に到達しないようにする必要がある。

このPONP+エビ基板を用いた場合、Pエビ層(例えばボロン濃度 $1 \times 10^{16} \text{ cm}^{-3}$)と P^+ 層(ボロン濃度 $1 \times 10^{19} \text{ cm}^{-3}$)の境界では約0.17 eVのバリアがあり、常温でシリコン基板中を運動しているキャリアのエネルギーは0.026 eVと小さいため、Pエビ層のキャリアの大部分はこのバリアを越えることが出来ない。従って、MOSFETの動作によって、発生した基板電流はPエビ層と P^+ 層界面において、Pエビ層へ反射されるため、基板電流はより広い範囲に拡散しやすくなる。

上述した従来のPONP+エビ基板を用いたDRAMにおいては、第4図(a)、(b)に示す様に、メモリセルアレイ部21と周辺回路20との間が素子分離 SiO_2 4 によってのみしか電氣的に分離されていないので、周辺回路部20に於て発生した基板電流が、素子分離 SiO_2 4 の下のPエビ層3を通して、メモリセルアレイ部21に到達してしまい、メモリセルの動作を不安定にしてしまう

欠点があった。

本発明の目的は、このような従来の欠点を改善し、基板電流を阻止してメモリセルの動作を安定化した半導体メモリ装置を提供することにある。
〔問題点を解決するための手段〕

本発明の構成は、第1導電性の不純物層の上に、この第1導電性不純物層よりも低い濃度の第1導電性不純物エピタキシャル層を有する半導体基板を用いて形成されるダイナミック型MOSの半導体メモリ装置に於て、少なくとも高い濃度の前記不純物層に達する程度に深く掘られた分離溝が、メモリセルアレイ部領域と周辺回路部領域との間でこのメモリセルアレイ部領域を囲むように配置され、この分離溝は前記半導体基板から電気的に絶縁され、かつその分離溝内に絶縁物または導電性物質が充填されて形成されていることを特徴とする。

〔実施例〕

次に、図面により本発明を詳細に説明する。

第1図(a)、(b)は本発明の一実施例の平

cm^{-3} 程度のボロン濃度を有するP⁺層2上に厚さ2～10 μm で $1 \times 10^{16} \text{cm}^{-3}$ 程度のボロン濃度を有するPエピ層3を成長したシリコン基板1の表面に、周知のLOCOS工程により素子及び分離用溝を形成する以外の領域に、素子分離 SiO_2 4を形成する。

次に、第2図(b)に示すように、フォトリソグラフィ技術と反応性イオンエッチングを用いて、所望の領域のシリコン基板1の表面に分離用溝5を形成する。この分離用溝5はP⁺層2に達する程度の深さが必要である。もし、メモリセルに溝容量セルをもちいる場合、この分離用溝5はセルに用いる容量溝6と同時に形成してもよい。

次に、第2図(c)に示す様に、分離用溝5内に容量絶縁膜7を形成する。この容量絶縁膜7はシリコン基板1を熱酸化して得られる SiO_2 を用いてもよいし、 SiO_2 と Si_3N_4 の2層構造を取ってもよく、この容量絶縁膜7は溝容量部に用いる容量絶縁膜と同時に形成してもよい。次に、この容量

面図およびその断面図である。本実施例は、図に示すように、周辺回路部20とメモリセルアレイ部21との間に、P⁺層3にまで達する深さのノイズ防止用分離溝5を設け、メモリセルアレイ部21をこの分離用溝5で囲む構造とするものである。すなわち、本実施例は、ノイズ防止用分離溝5を設けることにより、耐 α 線性が高く、隣接溝間干渉に強いDRAMの動作を、更に安定化させることが出来る構造となっている。

このようなメモリ素子構造は、次のような製造工程で製作される。

第2図(a)～(f)は第1図の実施例のメモリ素子構造を製作工程順に説明する断面図である。ここでは、半導体基板1にP⁺NP⁺エピ基板を用いたnチャネル型セルを取上げるが、pチャネル型は単にn型をp型に置き換えればよい。また、ノイズ防止用分離溝内にはポリシリコンを埋込んでいる。

まず、第2図(a)に示すように、 1×10^{19}

絶縁膜7上にポリシリコン8を気相成長し、分離用溝5を完全に埋め込んだ後、このポリシリコン8をエッチバックし、第2図(d)に示す様に分離用溝5内または容量溝6内にはのみポリシリコンを残す。

次に、メモリセル用溝容量9を形成する。第2図(e)のように、基板上にn⁺拡散層10、ポリシリコン11を形成する。このポリシリコン11が容量溝6内のポリシリコン8とn⁺拡散層10とを接続している。次に、分離用溝5内のポリシリコンを酸化し絶縁 SiO_2 12を形成し、分離用溝5上部に配される配線から分離用溝5を絶縁する。

次に、ワード線13を配線し、通常のプロセスによりn⁺拡散層14となるトランスファークートMOSFETおよび周辺回路部のMOSFETを形成する。次に、層間膜15を堆積したのち、ビット線16を配線することにより、第2図(f)に示す如くDRAMが完成する。

本実施例では、ノイズ防止用分離溝5の中の本

リシリコン8の電位はフローティングとなっているが、ポリシリコン8の電位をシリコン基板または接地電位またはその他の電位に固定してもよい。

〔実施例2〕

第3図(a)～(d)は本発明の他の実施例のメモリ素子構造を製作工程順に説明する断面図である。ここでは、半導体基板1にPONP+エビ基板を用いたnチャネル型セルを取り上げ、分離用溝内には SiO_2 を埋め込む例を取上げる。

まず、第3図(a)に示すように、 $1 \times 10^{19} \text{ cm}^{-3}$ 程度のボロン濃度を有するP+層2上に厚さ2～10 μm で $1 \times 10^{16} \text{ cm}^{-3}$ 程度のボロン濃度を有するPエビ層3を成長したシリコン基板1表面に、フォトリソ技術と反応性イオンエッチングにより所望の領域のシリコン基板1に分離用溝5を形成する。このシリコン基板1に設けられる分離用溝5はP+層2に達する程度の深さが必要である。

次に、素子を形成する以外の領域に、LOCO

S工程により素子分離 SiO_2 4を形成する。このとき、第3図(b)に示す様に、分離用溝5の中にも SiO_2 4が形成される。

次に、メモリセル用溝容量9を形成する。第3図(c)のように、基板1上にn+拡散層10、ポリシリコン11が形成される。このポリシリコン11が容量溝6内のポリシリコン8とn+拡散層10を接続している。次にワード線13を配線し、通常のプロセスによりn+拡散層14となるトランスファークロフトMOSFETおよび周辺回路のMOSFETを形成する。次に、層間膜15を堆積したのち、ビット線16を配線することにより、第3図(d)の如くDRAMが完成する。

また、本実施例の工程は、PONP+エビ基板を用い、かつ溝の側壁をボロン拡散により濃度を高くした構造のDRAMにも全く同様に適用できる。

〔発明の効果〕

以上説明したように本発明においては、ダイナミックRAMの周辺回路部に於て発生した基板電

流が、メモリセルアレイ部と周辺回路部との間に入っている分離用溝に止められ、かつP+層によっても止められるため、メモリセル動作の基板電流による擾乱が防止でき、安定したDRAM動作を実現することができる。

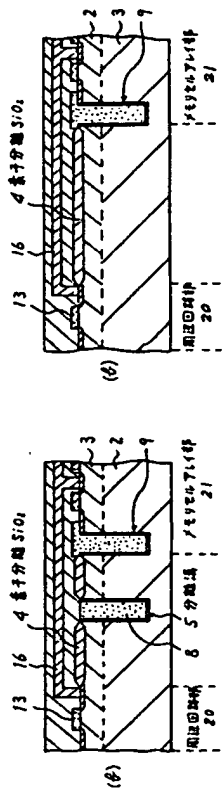
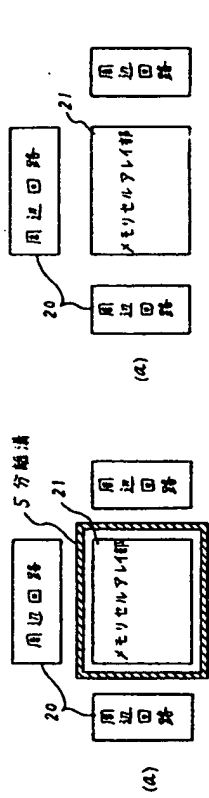
図面の簡単な説明

第1図(a)、(b)は本発明の一実施例のDRAMの平面図およびその部分断面図、第2図(a)～(f)および第3図(a)～(d)は本実施例を2つの製造工程順に示したDRAMの断面図、第4図(a)、(b)は従来のDRAMの一例の平面図およびその部分断面図である。

1…シリコン基板、2…P+層、3…Pエビ層、4…素子分離 SiO_2 、5…分離用溝、6…容量溝、7…容量絶縁膜、8…ポリシリコン、9…メモリセル用溝容量、10…n+拡散層、11…ポリシリコン、12…絶縁 SiO_2 、13…ワード線、14…n+拡散層、15…層間膜、16…ビット線、20…周辺回路部、21…メモリセルアレイ

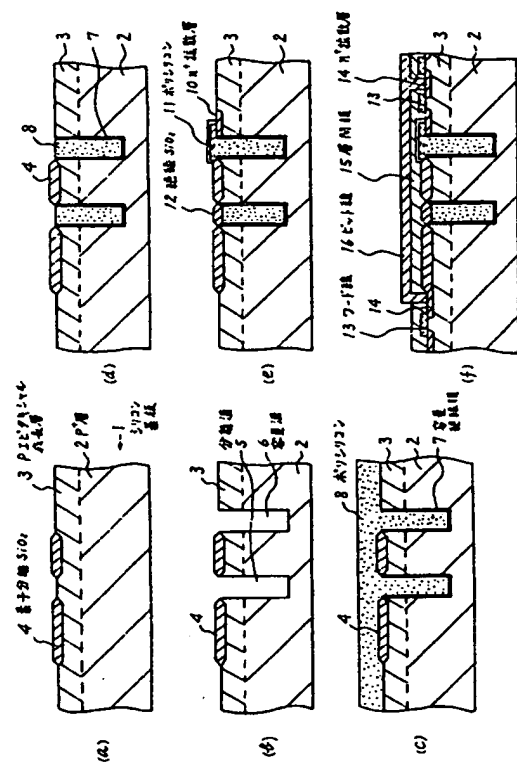
部。

代理人 弁理士 内 原 晋

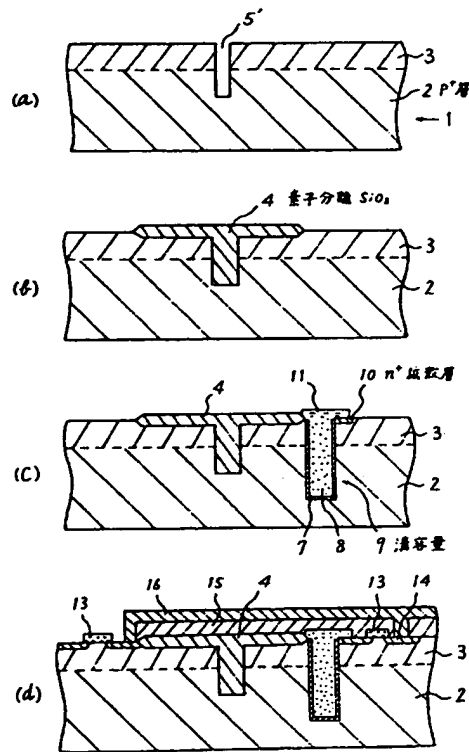


第4図

第1図



第2図



第3図